

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO: JP404162572A

DOCUMENT-IDENTIFIER: JP 04162572 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 8, 1992

INVENTOR- INFORMATION:

NAME

KURAMOTO, TAKESHI

ASSIGNEE- INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP02285781

APPL-DATE: October 25, 1990

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/330, 257/E29.028, 257/E29.26

ABSTRACT:

PURPOSE: To make it possible to obtain a very low on state resistor and highly reliable, stabilized, and excellent characteristics by inhibiting the function of an insulation gate type field effect transistor with a corner section on a groove side.

CONSTITUTION: An N type epitaxial layer 11 and a P type channel formation layer 12 are formed on a main side of a semiconductor substrate 10 where an N<SP>+</SP> type source region 13 is formed in lattice-shape. In this case, the source region 13 is arranged not to be formed at an

intersection between an exposed section C" of the channel formation layer 12 and a trench formation reserved intersection A" in particular. Then, a trench 14 is formed in such a manner that it may reach the epitaxial layer 12, partially penetrating the channel formation layer 12 from the surface in the central part of the source region 13 of a wafer 20. The source region 13 is adapted not to be formed on a part of a cell pattern where the channel formation layer 12 is divided by the trench 14.

COPYRIGHT: (C)1992,JPO&Japio

## ⑫公開特許公報 (A) 平4-162572

⑬Int.Cl.<sup>5</sup>  
H 01 L 29/784

識別記号

庁内整理番号

⑭公開 平成4年(1992)6月8日

9168-4M H 01 L 29/78

321 V

審査請求 未請求 請求項の数 5 (全7頁)

⑮発明の名称 半導体装置

⑯特 願 平2-285781  
⑰出 願 平2(1990)10月25日⑱発明者 倉本 毅 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩  
川工場内  
⑲出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地  
⑳代理人 弁理士 鈴江 武彦 外3名

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) 第1導電型の半導体基板と、

この半導体基板の主面に設けられた低不純物濃度を有するドレイン領域用の第1導電型の第1の半導体層と、

この第1の半導体層の上面に設けられたチャネル領域形成用の第2導電型の第2の半導体層と、

この第2の半導体層の表層部の一部に設けられたソース領域用の第1導電型の第3の半導体層と、

この第3の半導体層の表面から前記第2の半導体層の一部を貫いて前記第1の半導体層に達するように設けられた溝の内壁面に形成されたゲート絶縁膜と、

このゲート絶縁膜上で前記溝を埋めるように設けられたゲート電極と、

このゲート電極上を覆うように設けられた絶縁膜と、

この絶縁膜上および前記第3の半導体層の露出表面上ならびに前記第2の半導体層の露出表面上に設けられたソース電極と、

前記半導体基板の裏面に設けられたドレイン電極とを備えた縦型の電力用絶縁ゲート型電界効果トランジスタを有する半導体装置において、

前記溝の側面のコーナー部は絶縁ゲート型電界効果トランジスタとしての機能が抑制されていることを特徴とする半導体装置。

(2) 前記溝によって前記第2の半導体層が分割されたセルパターンを有し、このセルパターンのコーナー部には前記ソース領域用の第1導電型の第3の半導体層が形成されていないことを特徴とする請求項1記載の半導体装置。

(3) 前記セルパターンのコーナー部には高不純物濃度を有する第2導電型の第4の半導体層が形成されていることを特徴とする請求項1または2記載の半導体装置。

(4) 前記溝によって前記第2の半導体層が分割されたセルパターンを有し、このセルパターン

は略長方形であり、このセルバターンのコーナー部以外の長辺側にのみ前記ソース領域用の第1導電型の第3の半導体層が形成されていることを特徴とする請求項1記載の半導体装置。

(5) 前記浴が構造的に各々分離独立しており、互いに独立に各浴内にそれぞれ形成されたゲート電極相互を電気的に接続する配線が設けられ、この配線の直下には前記ソース領域用の第1導電型の第3の半導体層が形成されていないことを特徴とする請求項1記載の半導体装置。

### 3. 発明の詳細な説明

#### 【発明の目的】

#### (産業上の利用分野)

本発明は、電力用絶縁ゲート型電界効果トランジスタ(以下、パワー-MOS FETと記す)単体を有する個別半導体装置あるいはパワー-MOS FETを組み込んだMOS 素和回路などの半導体装置に係り、特に断面U字状の浴(トレンチ)構造を有する様型のパワー-MOS FETの構造に関する。

一セルの長さであり、 $l_s \times l_s$  のセルサイズを有する単位セルのパワー-MOS FETが構造に規則正しく多段配設されており、各セルは、第1導電型(本例ではN+型)のシリコンからなる半導体基板10の正面に設けられている。ここで、11は上記N+型の半導体基板10の正面に設けられた低不純物浴を有するN型の第1の半導体層(エビタキシャル層、ドレイン領域)、12はこのエビタキシャル層11の上面に拡散によって設けられた第2導電型(本例ではP型)の第2の半導体層(チャネル形成層)、13…はこのチャネル形成層12の表面部に格子状に設けられたN+型の第3の半導体層(ソース領域)、14はこのソース領域13の中央部表面から前記チャネル形成層12の一部を貫いて前記エビタキシャル層11に達するように設けられた格子状のバターンを有する幅1μm、深さ4μmのトレンチ、15はこのトレンチ14の内壁面に形成されたゲート絶縁層、Gはこのゲート絶縁層15上で上記トレンチ14を埋めるように設けられたゲート電

#### (従来の技術)

パワー-MOS FETは、微細加工技術の進歩により低オン抵抗化の動きが急速に進んでいる。特に、低耐圧の60V～100Vクラスのパワー-MOS FETは、低オン抵抗化の傾向が顕著であり、現在では、フォトマスク上の制約からセルサイズの縮小に限界がみえている平面構造の拡散自己重合(DSA: Diffusion Self Aligned)タイプを更に一步進め、IEDM(International Electron Devices Meeting)86-638などの文献に開示されているように、セルサイズをより小型化できるトレンチ構造を有する様型パワー-MOS FETの開発が進められている。

第6図は、従来の様型パワー-MOS FET(例えばNチャネルトランジスタ)における一部のセル領域を斜め方向から見た断面構造を示しており、単位セルの平面バターンを第7図に示している。

このパワー-MOS FETにおいて、 $l_s$  は單

極、17はこのゲート電極G上を経てと共に前記トレンチ14の端部から僅かに張り出して前記ソース領域13の一部を経るよう設けられた絶縁膜、Sはこの絶縁膜17上および前記ソース領域13の露出表面上および前記チャネル形成層12の露出表面上に設けられたソース電極、Dは前記半導体基板10の裏面に設けられたドレイン電極である。この場合、ソース電極Sおよびドレイン電極Dは各セルに対して一体的に設けられ、各セルのゲート電極Gは共通に接続されているので、各セルは並列に接続されている。

このような様型パワー-MOS FETは、幅1μmのトレンチ14内にゲート電極Gを埋込む構造を有するので、セルサイズを10μm×10μm以下とすることができます、オン抵抗を極めて小さく(1.8mΩ・cm<sup>-2</sup>程度)することができたようになってきた。

ここで、上記パワー-MOS FETの動作原理を述べておく。即ち、ソース電極Sを接地し、ドレイン電極Dおよびゲート電極Gに正の電圧を印

加する。このような順バイアスの時、ゲート電圧を上げていくと、チャネル形成層12のうちのゲート電極Gに対向するトレンチ側面領域（チャネル部）がN型に反転して反転層となり、ソース領域Sから反転層直下のエピタキシャル層11領域に電子が流れる。

ところで、上記したような縦型パワーMOS FETの構造のままで実際に形成した場合、次に述べるような特性上の不具合が発生することが分った。

即ち、トレンチ14の側面の凸状のコーナー部A' とその他の部分B' とでゲート酸化膜15の厚さおよび品質が異なるという現象が生じ、その結果、閾電圧 $V_{TH}$ 、出力特性（ $I_{DS}$ 、 $|Y_{DS}|$ ）が上記A' 部とB' 部とで異なることになり、特性面で様々なアンバランスを引き起こすことになり、好ましくない。また、トレンチ14の側面のコーナー部が凹状の場合でも上記と同様の結果となり、しかも、トレンチ14の側面の凹凸部に形成されるゲート酸化膜は品質が悪く、この部分を

MOS FETのゲート酸化膜として使用する場合には信頼性上の不具合（例えば高温逆バイアス寿命試験における閾電圧 $V_{TH}$ の劣化、リーク電流の増大など）が発生する。

そこで、トレンチ14の側面でのゲート酸化膜の不具合を防止するために、トレンチ14の側面のコーナー部の形状を滑らかに丸めるように工夫することが考えられるが、この方法は、改善効果が低く、微細化を進める上でも大きな制約となってくる。

#### （発明が解決しようとする課題）

上記したように超低オン抵抗化を図った従来の縦型パワーMOS FETは、トレンチの側面のコーナー部とその他の部分とでゲート酸化膜の厚さおよび品質が異なり、特性面で様々なアンバランスを引き起こしたり、信頼性上の不具合が発生するという問題がある。

本発明は、上記問題点を解決すべくなされたもので、その目的は、超低オン抵抗を有すると共に信頼性が高く、特性面で安定な良質な縦型パワー

MOS FETを有する半導体装置を提供することにある。

#### 〔発明の構成〕

##### （課題を解決するための手段）

本発明は、第1導電型の半導体基板と、この半導体基板の主面に設けられた低不純物濃度を有するドレイン領域用の第1導電型の第1の半導体層と、この第1の半導体層の上面に設けられたチャネル領域形成用の第2導電型の第2の半導体層と、この第2の半導体層の表面部の一部に設けられたソース領域用の第3導電型の第3の半導体層と、この第3の半導体層の表面から前記第2の半導体層の一部を貫いて前記第1の半導体層に達するように設けられたトレンチの内壁面に形成されたゲート絶縁層と、このゲート絶縁層上で前記第2を埋めるように設けられたゲート電極と、このゲート電極上に設けられた絶縁層と、この絶縁層上および前記第3の半導体層の露出表面ならびに前記第2の半導体層の露出表面上に設けられたソース電極と、前記半導体基板の裏面に

設けられたドレイン電極を備えた縦型の電力用絶縁ゲート型電界効果トランジスタを有する半導体装置において、前記第2の側面のコーナー部は絶縁ゲート型電界効果トランジスタとしての機能が抑制されていることを特徴とする。

#### （作用）

従来は不具合が生じていたトレンチの側面のコーナー部でのMOS FETとしての機能が抑制されており、トレンチの側面のコーナー部以外にのみ均一なチャネルを形成することができるよう、超低オン抵抗を有すると共に信頼性が高く、特性面で安定な良質な縦型パワーMOS FETが得られる。

#### （実施例）

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図は、個別半導体装置あるいはMOS基板回路に形成される第1実施例に係る縦型パワーMOS FETの単位セルの平面パターンを示しており、この縦型パワーMOS FETは、第6

図および第7図を参照して前述した従来の縦型パワーMOS FETの断面構造および平面パターンとはほぼ同様であるが、前記溝の側面のコーナー部はMOS FETとしての機能が抑制されている点が異なり、その他は同じであるので第6図中と同じ符号を付している。

上記したように溝の側面のコーナー部におけるMOS FETとしての機能を抑制する構造の一具体例としては、トレンチ14によってチャネル形成層12が分割されたセルバターンのコーナー部には前記ソース領域13を形成しなければよく、この場合の第1図の縦型パワーMOS FETの形成方法の一例について第2図(a)乃至(e)を参照しながら簡単に説明する。

まず、第2図(a)に示すように、不純物濃度が $10^{18} \text{ cm}^{-3}$ で厚さ $150 \mu\text{m}$ の $N^+$ 型のシリコンからなる半導体基板10の主面に、不純物濃度が $5 \times 10^{19} \text{ cm}^{-3}$ で厚さが約 $10 \mu\text{m}$ のN型のエピタキシャル層11をエピタキシャル成長により形成する。さらに、このエピタキシャル

層11上に、不純物濃度が $10^{17} \text{ cm}^{-3}$ 程度で厚さが約 $2 \mu\text{m}$ のP型のチャネル形成層12を拡散によって形成する。引き続き、PEP(光触剤プロセス)工程およびイオン注入法を用いて、チャネル形成層12の表面部に不純物濃度が $10^{20} \text{ cm}^{-3}$ 程度で厚さ $0.5 \mu\text{m}$ の $N^+$ 型のソース領域13を格子状に設ける。この場合、特にチャネル形成層12の露出部C' とトレンチ形成予定領域の交差部A' にはソース領域13を形成しないことが重要である。

次に、第2図(b)に示すように、ドライエッチング、例えばRIE(反応性イオンエッチング)法により、ウェハ20のソース領域13の中央部表面から前記チャネル形成層12の一部を貫いて前記エピタキシャル層11に達するように、幅 $1 \mu\text{m}$ 、深さ $4 \mu\text{m}$ のトレンチ14を形成する。この場合、トレンチ14をソース領域13の中央に沿って設けるので、トレンチ14は格子状のパターンを有することになる。ここで、図中、21は例えば熱酸化膜、窒化膜、CVD(気相成長)酸

化膜が順次形成された積層膜である。

次に、第2図(c)に示すように、ウェハ20上の主要全域に厚さ $500 \text{ \AA}$ の $\text{SiO}_2$ 膜15を形成する。これによりトレンチ14の内壁面を覆うようにゲート酸化膜15が形成される。引き続き、リンがドープされたポリシリコン膜16をトレンチ14が十分に埋まるまで堆積する。このポリシリコン膜16は後でゲート電極Gとして用いられるので、低抵抗であることが望ましく、上記ポリシリコン膜16を堆積した後で高濃度の不純物をドープしてもよい。

次に、第2図(d)に示すように、トレンチ14内にゲート電極Gとなるポリシリコン膜を残すようにポリシリコン膜16をエッチバックする。

次に、第2図(e)に示すように、全面に厚さ $6000 \text{ \AA}$ のPSG(リンシリケートガラス)膜からなる絶縁膜17をCVD法により堆積し、PEP工程により上記絶縁膜17の一部(チャネル形成層12上の全部およびソース領域13上の一部)にコンタクト孔を開口する。これにより、

ゲート電極G上およびトレンチ14の端部から僅かに張り出してソース領域13上的一部を覆うように絶縁膜17が設けられる。この後、全面に厚さ $4 \mu\text{m}$ のアルミニウム(Au)あるいはアルミニウム・シリコン合金(Au-Si)からなるソース電極Sを蒸着する。さらに、前記半導体基板10の裏面にもドレイン電極Dを形成し、第1図に示したような縦型パワーMOS FETを得る。

上記実施例の縦型パワーMOS FETによれば、基本的には前述した従来の縦型パワーMOS FETと同様の動作が得られるが、従来の縦型パワーMOS FETの技術の延長上でソースPEP工程のマスク変更によって単にソース領域13の拡散形状を変更するだけで(新規な技術を必要としない)、従来は不具合が生じていたトレンチ14の側面のコーナー部でのMOS FETとしての機能を抑制し、トレンチ14の側面のコーナー部以外にのみ均一なチャネル部を形成することが可能になるので、超低オン抵抗を有すると共に信頼性が高く、特性面で安定

な良質な縫型パワーMOS FETが得られる。

第3図乃至第5図は、それぞれ本発明に係る縫型パワーMOS FETの他の実施例を示している。

即ち、第3図に示す縫型パワーMOS FETは、第1図に示した縫型パワーMOS FETと比べて、前記トレンチ14によって前記チャネル形成層12が分割されたセルバターンの各コーナー部にP+型の第4の半導体層30が拡散によって形成されている点が異なり、その他は同じであるので第1図中と同じ符号を付している。

この縫型パワーMOS FETによっても、トレンチ14の側面のコーナー部はMOS FETとしての動作が阻止されるので、第1図の縫型パワーMOS FETと同様の効果が得られる。なお、セルバターンの各コーナー部には、ソース領域13が形成されていてもよい。

また、第4図に示す縫型パワーMOS FETは、第1図に示した縫型パワーMOS FETと比べて、前記トレンチ14によって前記チャネル

している。

この縫型パワーMOS FETにおいても、トレンチ14の側面のゲート酸化膜15の膜厚および膜質の不均一があっても、トレンチ14の側面のコーナー部はMOS FETとしての性能が抑制されているので、第1図の縫型パワーMOS FETと同様の効果が得られる。

#### 【発明の効果】

上述したように本発明によれば、超低オン抵抗を有すると共に信頼性が高く、特性面で安定な良質な縫型パワーMOS FETを有する半導体装置を実現することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例に係る縫型パワーMOS FETの単位セルを示す平面図、断面図、第2図(a)乃至(e)は第1図の縫型パワーMOS FETの形成方法の一例を模式的に示す斜視図および断面図、第3図は本発明の他の実施例に係る縫型パワーMOS FETを示す斜視図、第4図および第5図はそれぞれ本発明のさらに他

形成層12が分割されたセルバターンは略長方形であり、このセルバターンのコーナー部以外の長辺側にのみ前記ソース領域13が形成されている(短辺側にはソース領域13が形成されていない)点が異なり、その他は同じであるので第1図中と同じ符号を付している。

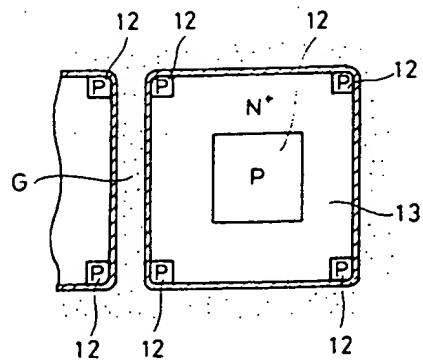
この縫型パワーMOS FETによれば、第1図の縫型パワーMOS FETと同様の効果が得られるほか、均一なチャネル凹を効率よく確保することができる。

また、第5図に示す縫型パワーMOS FETは、第1図に示した縫型パワーMOS FETと比べて、前記トレンチ14が創造的に各々分離独立しており、互いに独立に各トレンチ14内にそれぞれ形成されたゲート電極G相互を電気的に接続する例えば不純物がドープされたポリシリコンからなるゲート配線51が設けられ、このゲート配線51の直下には寄生ダイオード動作を防ぐために前記ソース領域13が形成されていない点が異なり、その他は同じであるので第1図中と同じ符号を付

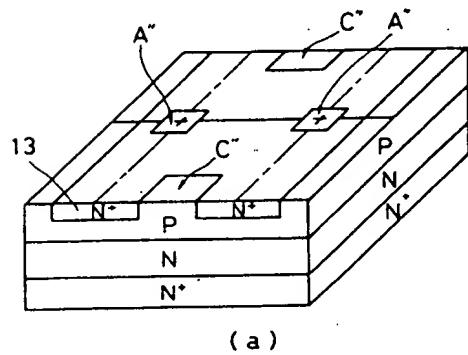
の実施例に係る縫型パワーMOS FETを示す平面図、第6図は縫型パワーMOS FETにおける一部のセル領域を取り出して一部断面で示す斜視図、第7図は従来の縫型パワーMOS FETの単位セルを示す平面図である。

10…N+型の半導体基板、11…N型の第1の半導体層(エピタキシャル層、ドレイン領域)、12…P型の第2の半導体層(チャネル形成層)、13…N+型の第3の半導体層(ソース領域)、14…トレンチ、15…ゲート酸化膜、16…ポリシリコン膜、17…絶縁膜、G…ゲート電極、S…ソース電極、D…ドレイン電極、20…ウェハ、30…P+型の第4の半導体層、51…ゲート配線。

出願人代理人 弁理士 鮎江武彦

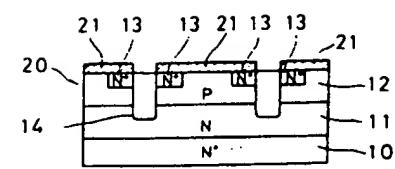


第1図

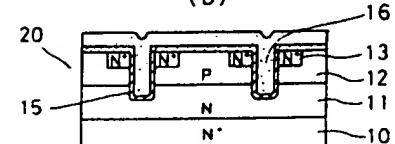


(a)

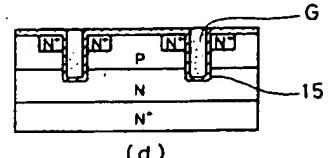
第2図



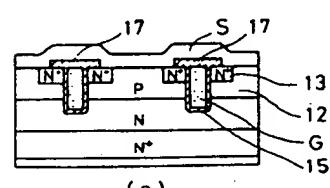
(b)



(c)

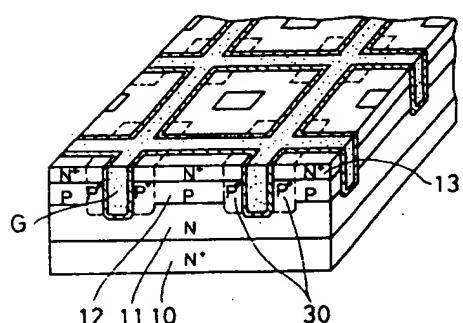


(d)

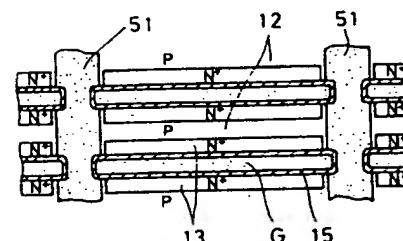


(e)

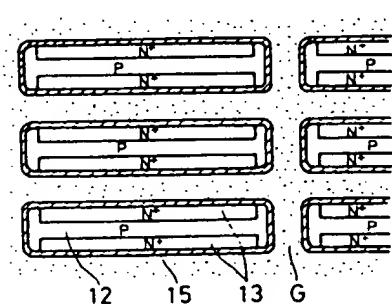
第2図



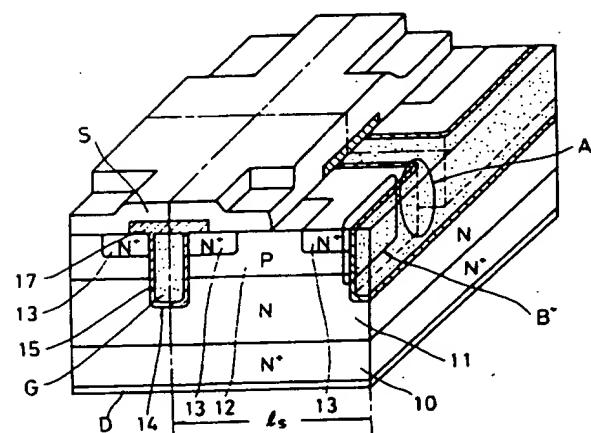
第3図



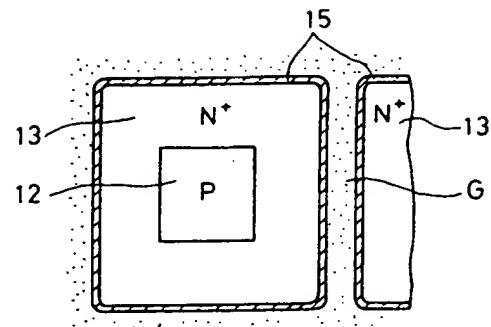
第5図



第4図



第6図



第 7 図